



#2  
D. Scott  
11-8-01

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원 번호 : 특허출원 2000년 제 61257 호  
Application Number

출원 년 월 일 : 2000년 10월 18일  
Date of Application

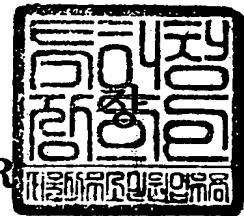
출원인 : 삼성전자 주식회사  
Applicant(s)



2001 년 02 월 26 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000. 10. 18
【발명의 명칭】	반도체 집적 회로의 퓨즈 회로
【발명의 영문명칭】	FUSE CIRCUIT FOR SEMICONDUCTOR INTEGRATED CIRCUIT
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	정창환
【성명의 영문표기】	JUNG, CHANG WHAN
【주민등록번호】	720717-1010839
【우편번호】	130-083
【주소】	서울특별시 동대문구 이문3동 256-48(18/8)
【국적】	KR
【발명자】	
【성명의 국문표기】	김은화
【성명의 영문표기】	KIM, EUN HAN
【주민등록번호】	641110-1722316
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1053-2 풍림APT 235동 101호
【국적】	KR
【심사청구】	청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

## 【수수료】

【기본출원료】 18 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 12 항 493,000 원

【합계】 522,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

여기에 개시된 반도체 집적 회로의 퓨즈 회로는 프로그램 가능한 퓨즈들을 포함한다. 상기 퓨즈들은 반도체 집적 회로의 특정 정보(specific information) 예를 들면, 리던던시(redundancy) 정보, 웨이퍼 로트 번호(wafer lot number), 다이 로트 번호(die lot number), 웨이퍼 상에서의 다이 위치(die position) 정보 등을 저장한다. 종래에는 반도체 집적 회로의 특정 정보 1 비트를 저장하는데 오직 하나의 퓨즈가 사용되었으나, 본 발명의 퓨즈 회로는 복수 개의 퓨즈들에 동일한 비트 정보를 저장함으로써 퓨즈 커팅 오류로 인한 불량 발생률을 현저히 감소시킨다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

반도체 집적 회로의 퓨즈 회로{FUSE CIRCUIT FOR SEMICONDUCTOR INTEGRATED CIRCUIT}

**【도면의 간단한 설명】**

도 1은 종래 기술의 일 예로서 Wheelus의 특허 도 2에 도시된 퓨즈 회로를 보여주는 도면;

도 2는 본 발명의 바람직한 실시예에 따른 퓨즈 회로를 보여주는 회로도; 그리고

도 3은 본 발명의 다른 실시예로서, 반도체 집적 회로의 특정 정보 1 비트를 복수 개의 퓨즈들에 저장하는 것을 보여주는 회로도이다.

**\*도면의 주요 부분에 대한 부호의 설명\***

101 - 103 : 퓨즈      111 - 113 : 트랜스미션 게이트

MN1 - MN3 : NMOS 트랜지스터    MP1 - MP3 : PMOS 트랜지스터

121 - 123 : 인버터      131 - 133 : 저항

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8>      본 발명은 반도체 집적 회로에 관한 것으로, 좀 더 구체적으로는 반도체 집적 회로에 구비되는 퓨즈 회로에 관한 것이다.

<9>      반도체 메모리 장치의 고집적화 및 저장 용량의 증대는 생산 공정에서 메모리 셀의 결함(defect) 발생 가능성을 증가시키고 이는 곧 생산 수율을 저하시키는 요인이 된다.

일반적으로 반도체 메모리 장치가 몇 개의 결함 메모리 셀들, 심지어는 단 한 개의 결함 셀만을 가지더라도 그 메모리 장치는 제품으로서 출하될 수 없다. 이와 같이, 메모리 장치의 고집적화에 따른 수율 저하를 개선하기 위해서 여러 가지 시도들이 진행되고 있다.

<10> 물론 메모리 장치에 있어서, 생산 수율 향상을 위해 결함 셀들의 발생을 가능한 한 억제할 수 있도록 제조 공정을 개선하는 것이 바람직하나, 이런 노력에는 한계가 있다. 따라서, 수율 개선을 위한 여러 가지 다른 기술들이 제안되고 있다. 이러한 기술들 가운데 메모리 장치의 구조를 개량하여 제조 과정에서 발생된 결함 영역들을 구제하는 기술로서 잘 알려져 있는 것이 바로 리던던시 기술이다. 이 기술에 의하면, 메모리 장치에는 2진 데이터의 저장을 위한 메인 메모리 셀 어레이와 더불어 그것의 각 행과 각 열상의 결함 셀들을 대체하기 위한 리던던트 메모리 셀들의 어레이가 제공된다.

<11> 통상적으로, 메인 셀 어레이 행들 상에 존재하는 결함 셀들을 대체하기 위한 리던던트 셀 어레이는 행 리던던트 어레이(row redundant array)라 불리고, 그것의 열들 상에 존재하는 결함 셀들을 대체하기 위한 리던던트 셀 어레이는 열 리던던트 어레이(column redundant array)라 불린다. 결함 메모리 셀들을 리던던트 셀들로 대체하기 위해서는 결함 셀들의 위치 정보 즉, 리페어 어드레스들을 저장하기 위한 회로와 외부로부터 입력된 어드레스들이 리페어 어드레스들과 일치하는 지를 구분하는 회로가 필요하다. 이런 회로들과 위에 기술한 리던던트 셀 어레이는 일반적으로 리던던시 회로라 불린다. 메인 메모리 셀 어레이의 검사 과정에서 발견된 결함 셀들은 리던던트 메모리 셀들에 의해 대체된다. 이것에 의해 전체 칩은 결함이 없는 제품으로 출하된다.

<12> 리던던시를 포함하는 메모리 장치에서, 생산 수율을 분석하기 위해서는 리던던트

어레이가 사용되었는 지의 여부를 검출하는 것이 필요하다. 이러한 리페어 정보(repair information)를 저장하는 회로의 일 예가 Wheelus 등에 의해 1997년 10월 14일 취득된 U.S. Pat. No. 5,677,917에 'INTEGRATED CIRCUIT MEMORY USING FUSIBLE LINKS IN A SCAN CHAIN' 이라는 제목으로 개시되어 있다.

<13> 도 1은 Wheelus의 특허 도 2에 도시된 퓨즈 회로를 보여주는 도면이다.

<14> 도 1을 참조하면, 상기 퓨즈 회로는 퓨즈(10), NMOS 트랜지스터들(12, 14) 그리고 인버터들(16, 18)로 구성된다. 상기 퓨즈(10)는 레이저(laser)로 커팅(cutting) 가능한 폴리실리콘(polysilicon) 퓨즈로 구성된다. 상기 퓨즈(10)는 전원 전압(VDD)과 연결된 일단과 타단을 갖는다. 상기 NMOS 트랜지스터(12)는 상기 퓨즈(10)의 타단과 연결된 제 1 전류 전극(드레인), 전원 전압(VDD)과 연결된 제어 전극(게이트), 그리고 제 2 전원 전압(즉, 접지 전압; VSS)과 연결된 제 2 전류 전극(소스)을 갖는다. NMOS 트랜지스터(14)는 상기 NMOS 트랜지스터(12)의 드레인과 연결된 드레인, 게이트, 그리고 접지 전압(VSS)과 연결된 소스를 갖는다. 인버터(16)는 상기 NMOS 트랜지스터들(12, 14)의 드레인과 연결된 입력 단자와 상기 NMOS 트랜지스터(14)의 게이트와 연결된 출력 단자를 갖는다. 상기 인버터(18)는 상기 인버터(16)의 출력 단자와 연결된 입력 단자와 출력 신호(D)를 제공하는 출력 단자를 갖는다.

<15> 도 1에 도시된 퓨즈 회로의 동작은 다음과 같다. 퓨즈(10)가 로직 하이 레벨(logic high level)로 프로그램된 경우(즉, 커팅되지 않은 경우), 전원 전압(VDD)은 인버터(16)의 입력 단자로 제공되고, 상기 인버터(16)는 로직 로우 레벨(logic low level)을 출력한다. 그러므로 상기 NMOS 트랜지스터(14)는 비도전 상태로 남게 되고, 인버터(18)는 하이 레벨의 신호(D)를 출력한다. 반면, 상기 퓨즈(10)가 로우 레벨로 프로그램

된 경우(즉, 커팅된 경우), 상기 NMOS 트랜지스터(12)는 인버터(16)의 입력 단자의 전압을 로우 레벨로 풀-다운(pull-down) 시킨다. 즉, 상기 NMOS 트랜지스터(12)는 풀-다운 트랜지스터로 동작한다. 인버터(16)는 NMOS 트랜지스터(14)의 게이트와 인버터(18)의 입력 단자로 하이 레벨의 신호를 출력한다. 그러므로, 상기 NMOS 트랜지스터(14)가 도전되어 상기 인버터(16)의 입력 단자는 로우 레벨을 유지하게 되고, 상기 인버터(18)는 로우 레벨의 신호(D)를 출력한다.

<16> 상술한 바와 같이, 종래 기술의 퓨즈 회로로부터 출력되는 신호(D)의 레벨은 퓨즈(10)의 프로그램된 상태 즉, 커팅 여부에 따라 결정된다. 반도체 메모리 장치가 고집적화 됨에 따라 퓨즈를 비롯한 소자들의 크기는 초소형화되고 있고, 퓨즈의 사이즈가 소형화될수록 레이저 커팅 기술은 더욱 섬세해져야만 한다. 퓨즈 커팅이 정확하게 수행되지 않은 경우, 잘못된 정보가 퓨즈 회로에 프로그램되게 되고 이는 곧 수율 저하를 초래한다.

#### 【발명이 이루고자 하는 기술적 과제】

<17> 따라서, 본 발명의 목적은 퓨즈 커팅이 정확하게 수행되지 않더라도 불량 발생 확률을 낮출 수 있는 반도체 집적 회로의 퓨즈 회로를 제공하는데 있다.

#### 【발명의 구성 및 작용】

<18> 상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 특징에 의하면, 반도체 집적 회로의 퓨즈 회로는, 퓨즈들과 상기 퓨즈들의 단속 상태에 따라 신호를 전송하는 전달 게이트들을 포함한다.



- <19> 바람직한 실시예에 있어서, 상기 복수 개의 퓨즈들은 모두 동일한 상태로 단속된다.
- <20> 또, 상기 퓨즈들 각각은, 전원 전압과 연결된 일단 그리고 타단을 갖는다.
- <21> 이 실시예에 있어서, 상기 전달 게이트들은 상기 퓨즈들에 각각 대응하며, 상기 전달 게이트들 각각은, 입력 단자, 출력 단자, 대응하는 퓨즈의 타단과 연결된 정 제어 단자, 그리고 부 제어 단자를 가지는 트랜스미션 게이트와, 대응하는 퓨즈의 타단 및 상기 트랜스미션 게이트의 정 제어 단자와 연결된 입력 단자, 그리고 상기 트랜스미션 게이트의 부 제어 단자와 연결된 출력 단자를 가지는 인버터로 구성된다.
- <22> 여기서, 상기 트랜스미션 게이트는, 상기 입력 단자와 연결된 제 1 전류 전극, 대응하는 퓨즈의 타단과 연결된 제어 전극, 그리고 상기 출력 단자와 연결된 제 2 전류 전극을 갖는 제 1 전도형 트랜지스터와, 상기 입력 단자와 연결된 제 2 전류 전극, 상기 인버터의 출력 단자와 연결된 제어 전극, 그리고 상기 출력 단자와 연결된 제 1 전류 전극을 갖는 제 2 전도형 트랜지스터를 포함한다.
- <23> 바람직한 실시예에 있어서, 상기 입력 신호는 전원 전압이다.
- <24> 바람직한 실시예에 있어서, 상기 전달 게이트들 각각은, 상기 제 1 전도형 트랜지스터의 제어 전극 및 상기 인버터의 입력 단자와 연결된 일단, 그리고 접지 전압과 연결된 타단을 가지는 저항을 더 포함한다.
- <25> (작용)
- <26> 이와 같은 장치에 의해서, 퓨즈 커팅 오류로 인한 불량 발생률이 감소된 반도체 집적 회로의 특정 정보를 저장하는 퓨즈 회로를 구현할 수 있다.

<27> (실시예)

<28> 이하 본 발명에 따른 실시예를 첨부된 도면 도 2 내지 도 3을 참조하여 상세히 설명한다.

<29> 여기에 개시된 반도체 집적 회로의 퓨즈 회로는 프로그램 가능한 퓨즈들을 포함한다. 상기 퓨즈들은 반도체 집적 회로의 특정 정보(specific information) 예를 들면, 리던던시(redundancy) 정보, 웨이퍼 로트 번호(wafer lot number), 다이 로트 번호(die lot number), 웨이퍼 상에서의 다이 위치(die position) 정보 등을 저장한다. 종래에는 반도체 집적 회로의 특정 정보 1 비트를 저장하는데 오직 하나의 퓨즈가 사용되었으나, 본 발명의 퓨즈 회로는 복수 개의 퓨즈들에 동일한 비트 정보를 저장함으로써 퓨즈 커팅 오류로 인한 불량 발생률을 현저히 감소시킨다.

<30> 도 2는 본 발명의 바람직한 실시예에 따른 퓨즈 회로를 보여주는 회로도이다.

<31> 도 2를 참조하면, 상기 퓨즈 회로는 퓨즈들(101, 102), 트랜스미션 게이트들(111, 112), 인버터들(121, 122), 그리고 저항들(131, 132)로 구성된다. 상기 퓨즈들(101, 102)은 레이저(laser)로 커팅(cutting) 가능한 폴리실리콘(polysilicon) 또는 기타 금속성 물질(예를 들어, Ti, TiN 등) 퓨즈로 구성된다. 상기 퓨즈들(101, 102)은 전원 전압(VDD)과 연결된 일단과 타단을 각각 갖는다. 트랜스미션 게이트(111)는 대응하는 퓨즈(101)와 연결되고, 전원 전압(VDD) 또는 입력 신호와 연결된 입력 단자(IN1) 및 출력 단자(OUT1)를 갖는다. 트랜스미션 게이트(112)는 대응하는 퓨즈(102)와 연결되고, 상기 트랜스미션 게이트(111)의 출력 단자(OUT1)와 연결된 입력 단자(IN2) 및 출력 신호(D)를 제공하는 출력 단자(OUT2)를 갖는다.

<32> 좀 더 구체적으로, 상기 트랜스미션 게이트(111)는 NMOS 트랜지스터(MN1)와 PMOS 트랜지스터(MP1)로 구성된다. 상기 NMOS 트랜지스터(MN1)는 입력 단자(IN1)와 연결된 제 1 전류 전극(드레인), 상기 퓨즈(101)의 타단과 연결된 제어 전극(게이트), 그리고 출력 단자(OUT1)와 연결된 제 2 전류 전극(소스)을 갖는다. 상기 PMOS 트랜지스터(MP1)는 상기 입력 단자(IN1)와 연결된 소스, 게이트, 그리고 상기 출력 단자(OUT1)와 연결된 드레인을 갖는다. 트랜스미션 게이트(112)는 NMOS 트랜지스터(MN2)와 PMOS 트랜지스터(MP2)로 구성된다. 상기 NMOS 트랜지스터(MN2)는 입력 단자(IN2)와 연결된 드레인, 상기 퓨즈(102)의 타단과 연결된 게이트, 그리고 출력 단자(OUT2)와 연결된 소스를 갖는다. 상기 PMOS 트랜지스터(MP2)는 상기 입력 단자(IN2)와 연결된 소스, 게이트, 그리고 상기 출력 단자(OUT2)와 연결된 드레인을 갖는다.

<33> 상기 인버터(121)는 상기 퓨즈(101)의 타단 및 상기 NMOS 트랜지스터(MN1)의 게이트와 연결된 입력 단자와 상기 PMOS 트랜지스터(MP1)의 게이트와 연결된 출력 단자를 갖는다. 상기 인버터(122)는 상기 퓨즈(102)의 타단 및 상기 NMOS 트랜지스터(112)의 게이트와 연결된 입력 단자와 상기 PMOS 트랜지스터(MP2)의 게이트와 연결된 출력 단자를 갖는다.

<34> 상기 저항(131)은 상기 NMOS 트랜지스터(MN1)의 게이트 및 인버터(121)의 입력 단자와 연결된 일단 그리고 접지 전압(VSS)과 연결된 타단을 갖는다. 상기 저항(132)은 상기 NMOS 트랜지스터(MN2)의 게이트 및 인버터(122)의 입력 단자와 연결된 일단 그리고 접지 전압(VSS)과 연결된 타단을 갖는다.

<35> 상술한 바와 같은 구성을 가지는 퓨즈 회로는 상기 반도체 집적 회로의 특정 정보 가운데 1 비트를 저장하며, 상기 퓨즈들(101, 102)은 원칙적으로 동일한 값으로 프로그

램된다. 즉, 상기 퓨즈들(101, 102)은 모두 로직 하이 레벨(logic high level)로 프로그램되거나(즉, 모두 커팅되지 않거나) 또는 모두 로직 로우 레벨(logic low level)로 프로그램된다(즉, 모두 커팅된다).

<36> 먼저, 상기 퓨즈들(101, 102)이 모두 하이 레벨로 프로그램된 경우(즉, 모두 커팅되지 않은 경우)가 설명된다. 전원 전압(VDD)은 퓨즈(101)를 통하여 NMOS 트랜지스터(MN1)의 게이트와 인버터(121)의 입력 단자로 제공되고, 상기 인버터(121)는 로직 로우 레벨을 출력한다. 그러므로, 상기 트랜스미션 게이트(111)가 인에이블(enable)되어 입력 단자(IN1)에 인가된 전원 전압(VDD) 또는 입력 신호는 출력 단자(OUT1)로 전달된다. 한편, 상기 전원 전압(VDD)은 퓨즈(102)를 통하여 NMOS 트랜지스터(MN2)의 게이트와 인버터(122)의 입력 단자로 제공되고, 상기 인버터(122)는 로직 로우 레벨을 출력한다. 따라서, 상기 트랜스미션 게이트(112)도 인에이블되어 입력 단자(IN2)로 인가되는 신호는 출력 단자(OUT2)로 전달된다. 이와 같이, 상기 퓨즈들(101)이 모두 하이 레벨로 프로그램된 경우, 전원 전압(VDD) 또는 입력 신호는 트랜스미션 게이트들(111, 112)을 통하여 출력 신호(D)로 제공된다.

<37> 상기 퓨즈들(101, 102)이 모두 로우 레벨로 프로그램된 경우(즉, 모두 커팅된 경우)에는 NMOS 트랜지스터들(MN1, MN2)의 게이트들과 인버터들(121, 122)의 입력 단자들은 저항들(131, 132) 가운데 대응하는 저항을 통하여 접지 전압(VSS)과 각각 연결된다. 따라서, 상기 트랜스미션 게이트들(111, 112)은 모두 디세이블(disable)되어 자신의 입력 단자로 입력되는 신호를 출력 단자로 전달할 수 없다. 상기 저항들(131, 132)은 상기 퓨즈들(101, 102)이 커팅될 때, NMOS 트랜지스터들(MN1, MN2)의 게이트들과 인버터들(121, 122)의 입력 단자들이 플로팅(floating)되는 것을 방지하기 위한 소자들

로서, 매우 큰 저항값을 갖는다.

<38>       상기 퓨즈들(101, 102) 가운데 어느 하나만이 커팅된 경우, 예를 들어, 상기 퓨즈(101)는 커팅되고 나머지 퓨즈(102)는 커팅되지 않은 경우에는 다음과 같이 동작한다. 상기 퓨즈(101)가 커팅되어 있으므로, 상기 NMOS 트랜지스터(MN1)의 게이트와 인버터(121)의 입력 단자는 저항(131)을 통해 접지 전압과 연결된다. 따라서, 상기 트랜스미션 게이트(111)는 입력 단자(IN1)를 통해 입력되는 신호를 출력 단자(OUT1)로 전달할 수 없다. 한편, 상기 퓨즈(102)는 커팅되지 않았으므로, 전원 전압(VDD)은 퓨즈(102)를 통하여 NMOS 트랜지스터(MN2)의 게이트와 인버터(122)의 입력 단자로 제공된다. 따라서, 상기 트랜스미션 게이트(112)는 입력 단자(IN2)를 통해 입력되는 신호를 출력 단자(OUT2)로 출력한다. 그러나, 상기 트랜스미션 게이트(111)가 디세이블된 상태이므로 전원 전압(VDD) 또는 입력 신호는 출력 신호(D)로 출력될 수 없다.

<39>       반도체 집적 회로의 특정 정보를 저장하는 종래의 퓨즈 회로는 오직 하나의 퓨즈가 1 비트 정보를 저장하였다. 따라서, 커팅되어야 할 퓨즈가 제대로 커팅되지 않은 경우에는 기대값과 다른 레벨의 신호가 출력 신호로 출력된다.

<40>       그러나, 본 발명의 퓨즈 회로는 두 개의 퓨즈들(101, 102)이 1 비트 정보를 저장하므로, 퓨즈 커팅 동작시 적어도 하나의 퓨즈가 커팅되면 입력 신호가 출력 신호로 전달될 수 없게 되어 퓨즈 커팅은 성공한 것으로 간주된다. 즉, 본 발명의 퓨즈 회로는 종래에 비해 퓨즈 커팅 오류로 인한 에러 발생률이 감소됨을 알 수 있다.

<41>       도 2에 도시된 퓨즈 회로는 반도체 집적 회로의 특정 정보 1 비트 정보를 저장하기 위한 회로로서, 반도체 집적 회로의 N-비트 정보를 저장하기 위해서는 도 2에 도시된 회로들이 N 개가 필요함은 이 분야에 대한 통상의 지식을 가진 자들에게 자명하므로 구

체적인 언급은 생략한다.

<42> 도 3은 본 발명의 다른 실시예로서, 반도체 집적 회로의 특정 정보 1 비트를 복수 개의 퓨즈들에 저장하는 것을 보여주는 회로도이다. 도 2에 도시된 퓨즈 회로는 두 개의 퓨즈들(101, 102)이 반도체 집적 회로의 특정 정보 1 비트를 저장하였으나, 도 3에 도시된 퓨즈 회로는 복수 개의 퓨즈들(101-103)이 동일한 비트 정보를 저장한다. 따라서, 도 2에 도시된 퓨즈 회로와 비교할 때, 퓨즈 커팅 오류로 인한 에러 발생율이 더 감소됨은 쉽게 유추할 수 있다.

<43> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

#### 【발명의 효과】

<44> 이상과 같은 본 발명에 의하면, 반도체 집적 회로의 특정 정보를 저장하는 퓨즈 회로에서 퓨즈 커팅 오류로 인한 불량 발생률을 감소시킬 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 집적 회로의 퓨즈 회로에 있어서:

퓨즈들 ; 그리고

상기 퓨즈들의 단속 상태에 따라 신호를 전송하는 전달 게이트들을 포함하는 것을 특징으로 하는 반도체 집적 회로의 퓨즈 회로.

**【청구항 2】**

제 1 항에 있어서,

상기 복수 개의 퓨즈들은 모두 동일한 상태로 단속되는 것을 특징으로 하는 반도체 집적 회로의 퓨즈 회로.

**【청구항 3】**

제 1 항에 있어서,

상기 퓨즈들 각각은,

전원 전압과 연결된 일단 그리고 타단을 갖는 것을 특징으로 하는 반도체 집적 회로의 퓨즈 회로.

**【청구항 4】**

제 2 항에 있어서,

상기 전달 게이트들은 상기 퓨즈들에 각각 대응하며,

상기 전달 게이트들 각각은,

입력 단자, 출력 단자, 대응하는 퓨즈의 타단과 연결된 정 제어 단자, 그리고 부 제어 단자를 가지는 트랜스미션 게이트와;

대응하는 퓨즈의 타단 및 상기 트랜스미션 게이트의 정 제어 단자와 연결된 입력 단자, 그리고 상기 트랜스미션 게이트의 부 제어 단자와 연결된 출력 단자를 가지는 인버터로 구성되는 것을 특징으로 하는 반도체 집적 회로의 퓨즈 회로.

**【청구항 5】**

제 4 항에 있어서,

상기 트랜스미션 게이트는,

상기 입력 단자와 연결된 제 1 전류 전극, 대응하는 퓨즈의 타단과 연결된 제어 전극, 그리고 상기 출력 단자와 연결된 제 2 전류 전극을 갖는 제 1 전도형 트랜지스터와;

상기 입력 단자와 연결된 제 2 전류 전극, 상기 인버터의 출력 단자와 연결된 제어 전극, 그리고 상기 출력 단자와 연결된 제 1 전류 전극을 갖는 제 2 전도형 트랜지스터를 포함하는 것을 특징으로 하는 반도체 집적 회로의 퓨즈 회로.

**【청구항 6】**

제 1 항에 있어서,

상기 입력 신호는 전원 전압인 것을 특징으로 하는 반도체 집적 회로의 퓨즈 회로.

**【청구항 7】**

제 5 항에 있어서,

상기 전달 게이트들 각각은,



상기 제 1 전도형 트랜지스터의 제어 전극 및 상기 인버터의 입력 단자와 연결된 일단, 그리고 접지 전압과 연결된 타단을 가지는 저항을 더 포함하는 것을 특징으로 하는 반도체 집적 회로의 퓨즈 회로.

**【청구항 8】**

반도체 집적 회로의 특정 정보를 저장하는 퓨즈 회로에 있어서:

상기 반도체 집적 회로와 관련있는 미리 설정된 정보를 저장하고, 전원 전압에 연결된 일단 그리고 타단을 가지는 복수 개의 퓨즈들; 그리고

상기 퓨즈들 가운데 대응하는 퓨즈의 타단과 연결되고, 연결된 퓨즈의 미리 설정된 정보에 응답해서 입력 신호를 출력 신호로 전달하는 복수 개의 전달 회로들을 포함하되 ;

상기 전달 회로들은 직렬로 연결되는 것을 특징으로 하는 반도체 집적 회로의 특정 정보를 저장하는 퓨즈 회로.

**【청구항 9】**

제 8 항에 있어서,

상기 퓨즈들은 모두 동일하게, 상기 반도체 집적 회로와 관련있는 미리 설정된 정보의 1 비트를 저장하는 것을 특징으로 하는 반도체 집적 회로의 특정 정보를 저장하는 퓨즈 회로.

**【청구항 10】**

제 8 항에 있어서,

상기 전달 회로들 각각은,

입력 단자, 출력 단자, 대응하는 퓨즈의 타단과 연결된 정 제어 단자, 그리고 부 제어 단자를 가지는 트랜스미션 게이트와;

대응하는 퓨즈의 타단 및 상기 트랜스미션 게이트의 정 제어 단자와 연결된 입력 단자, 그리고 상기 트랜스미션 게이트의 부 제어 단자와 연결된 출력 단자를 가지는 인버터로 구성되는 것을 특징으로 하는 반도체 집적 회로의 특정 정보를 저장하는 퓨즈 회로.

**【청구항 11】**

제 10 항에 있어서,

상기 트랜스미션 게이트는,

상기 입력 단자와 연결된 드레인, 대응하는 퓨즈의 타단과 연결된 게이트, 그리고 상기 출력 단자와 연결된 소스를 갖는 NMOS 트랜지스터와;

상기 입력 단자와 연결된 소스, 상기 인버터의 출력 단자와 연결된 게이트, 그리고 상기 출력 단자와 연결된 드레인을 갖는 PMOS 트랜지스터를 포함하는 것을 특징으로 하는 반도체 집적 회로의 특정 정보를 저장하는 퓨즈 회로.

**【청구항 12】**

제 11 항에 있어서,

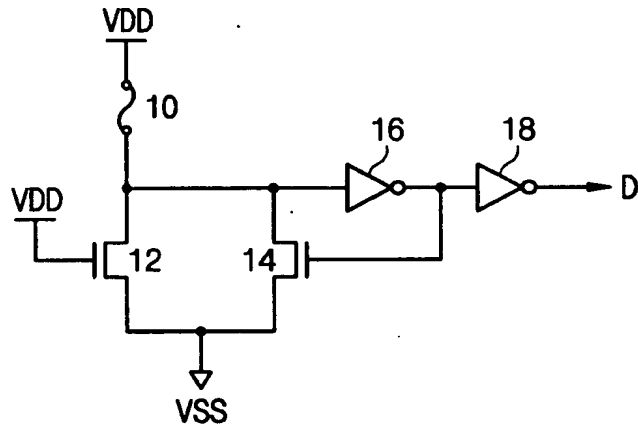
상기 전달 회로는,

상기 NMOS 트랜지스터의 제어 전극 및 상기 인버터의 입력 단자와 연결된 일단, 그리고 접지 전압과 연결된 타단을 가지는 저항을 더 포함하는 것을 특징으로 하는 반도체 집적 회로의 특정 정보를 저장하는 퓨즈 회로.

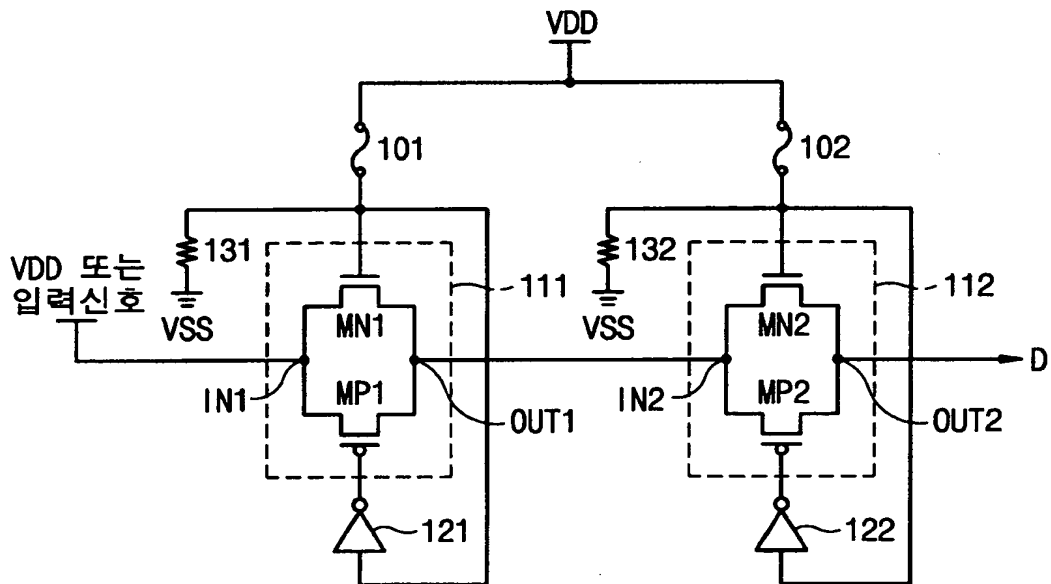
【도면】

【도 1】

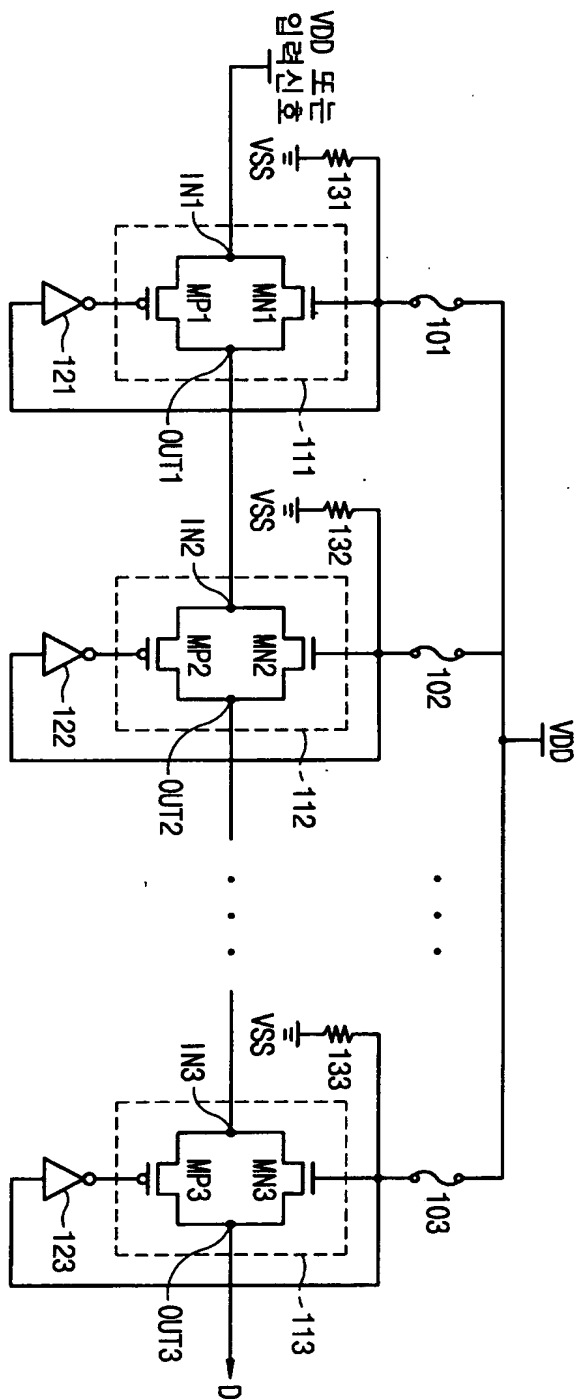
(종래 기술)



【도 2】



【도 3】



【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2000. 10. 25
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【사건의 표시】	
【출원번호】	10-2000-0061257
【출원일자】	2000. 10. 18
【심사청구일자】	2000. 10. 18
【발명의 명칭】	반도체 집적 회로의 퓨즈 회로
【제출원인】	
【접수번호】	1-1-00-0218494-13
【접수일자】	2000. 10. 18
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상 항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	정창환
【성명의 영문표기】	JUNG, CHANG WHAN
【주민등록번호】	720717-1010839

【우편번호】	130-083
【주소】	서울특별시 동대문구 이문3동 256-48(18/8)
【국적】	KR
【발명자】	
【성명의 국문표기】	김은한
【성명의 영문표기】	KIM,EUN HAN
【주민등록번호】	641110-1722316
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1053-2 풍림APT 235동 101호
【국적】	KR
【취지】	특허법시행규칙 제13조의 규정에 의하여 위와 같이 제출합 니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【보정료】	0 원
【기타 수수료】	원
【합계】	0 원